INTER-PROCESSOR COUPLING SYSTEM

Publication number: JP1044571 (A)

Publication date: 1989-02-16

Inventor(s): KAWAMURA RYOSAKU +

Applicant(s): OMRON TATEISI ELECTRONICS CO +

Classification:

- international: G06F13/38; G06F15/16; G06F15/167; G06F5/06; G06F13/38; G06F15/16;

G06F5/06; (IPC1-7); G06F13/38; G06F15/16; G06F5/06

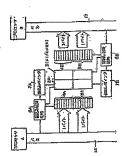
- European:

Application number: JP19870201105 19870812

Priority number(s): JP19870201105 19870812

Abstract of JP 1044571 (A)

PURPOSETo Improve coupling efficiency by coupling between the 1st and 2nd processors through an FIFO capable of shifting two or more data in a parallel state by the prescribed number of steps. CONSTITUTION: The FIFO memory 3 capable of shifting two 1-byte data in the parallel state by two steps is connected between the system but 1A of the processor A and the system but 1B of the processor B. A write control circuit 8A controls data writing from the processor A to writing side latches 44, SA and data writing from the latches 4A, to the FIFO memory A. Here TO memory did to reading side latches 4B, 5B, are might be supposed to the state of the system but 1B of the state of t



Data supplied from the espacenet database - Worldwide

⑩日本国特許庁(JP)

@ 特許出頭公開

@ 公 開 特 許 公 報 (A) 昭64-44571

京都府京都市右京区花园土堂町10番地

@Int,CI,1

維別記号

庁内整理番号 V-6745-5B @公開 昭和64年(1989)2月16日

G 06 F

340

審査請求 未請求 発明の数 1 (全8頁)

の発明の名称 プロセツサ間結合方式

2059 図 四62-201105

②出 関 昭62(1987)8月12日

京都府京都市右京区花開土紫町10番地 立石電機株式会社

立石電機株式会社 60代,理人 弁理士 和田 成則

1. 疑明の名称

プロセッサ間結合方式

2、特許論求の範囲 (1) 第1のプロセッサシステムと第2のプロセ・ ッサシステムとの間に2以上のデータを並列状態 のままで所定段数だけシフト可能なFIFOメモ

該F I FOメモリの入力側各データボートには 第1のプロセッサシステムのアドレス空間内のア ドレスを割付ける一方、出力侵名データボートに は第2のプロセッサシステムのアドレス空間内の アドレスを割付け、

該FIFOメモリを適宜にシフトさせることに より、第1のプロセッサシステムから第2のプロ セッサシステムへと2以上のデータを並列かつ非 問期に転送すること、

を物徴とするプロセッサ顕結合方式。

3. 発明の詳細な説明 《発明の分野》

この発明は、マルチプロセッサシステムに好適 なプロセッサ間結合方式に関する。 《発明の標要》

この発明では、第1のプロセッサシステムと第 2'のプロセッサシステムとの間を、2以上のデー タを並列状態のままで所定段数だけシフト可能な FIFOメモリを介して結合し、両フロセッサ間 ・ を効率及く結合したものである。

《従来技術とその問題点》

従来、マルチプロセッサシステム停に適用され るプロセッサ間結合方式としては、第5箇に示さ れるように、同一の大きさのアドレス空間を、両 プロセッサ間で共有するいわゆる共有メモリ方式 が一般的である。

しかしながら、この様な共有メモリ方式にあっ ては、大量のデータを共有する必要がある場合に は、共有メモリ空間を広く確保せねばならず、そ の結果共有メモリ空間以外に使用可能な空間が充 分に確保できないこと、片方のプロセッサが共有 メモリをアクセス中のときには、他方のプロセッ サは共有メモリをアクセスできないこと、共有メ モリ空間として確保できる最大範囲は、プロセッ サがアドレスできる範囲によって制設されてしま うことなどの問題点があった。

また、第6図に示されるように、共有メモリ内 において、待ち行列処理が必要な場合には、待ち 行引処理のための複雑なソフトウエアが必要とな ること、一方のプロセッサが待ち行列処理中の紹 金、他方のプロセッサはその符ち行列にアクセス できないこと、待ち行列処理を行なったとしても、 一度にシフト可能なデータ数は1回に眠られるた め、処理の高速化に制約を受けることなどの問題 点があった。

《発明の目的》

(

この発明の目的は、大量のデータを共有する必 **硬がある場合にも、共有アドレス空間が少なくて** 資み、また待ち行列処理のために複雑なソフトウ エアが不要であり、また共有アドレス空間に対し て抱方のプロセッサが同時にアクセスを行なうこ とができ、さらに複数のデータの投受を降ータイ

ミングで行い得るようにしたプロセッサ問結合方 式を探供することにある。

《発明の構成と効果》

この発明は上記の自的を達成するために、第1 のプロセッサシステムと第2のプロセッサシステ ムとの間に2以上のデータを並列状態のままで所 定段数だけシフト可能なFIFOメモリを設け、

核FIFOメモリの入力側名データポートには 第1のプロセッサシステムのアドレス空間内のア ドレスを則付ける一方、出力側各データボートに は第2のプロセッサシステムのアドレス空間内の アドレスを割付け、

接FTFOメモルを資宜にシフトさせることに より、第1のプロセッサシステムから第2のプロ・ ヤッサシステムへと2以上のデータを並引かつ評 同期に転送することを特徴とするものである。

このような構成によれば、大量のデータを共存 する必要がある場合にも、共有アドレス空間が少 なくて済み、また待ち行列処理のために複雑なソ フトウエアが不要であり、また共有アドレス空間 - 4 -

・に対して相方のプロセッサが同時にアクセスを行 なうことができ、さらに複数のデータの授受を問 ータイミングで行い得るという効果がある。

- 3 -

《室施例の説明》

第1回は、本発明に係わるプロセッサ間貼合方 式の一定施例を示す回路図、第2A図~第2G図 はその動作説明図である。

この例では、プロセッサAからプロセッサBに 対し、2個の1パイトデータをF1F0メモリ3 を介して認送するようにしている。

すなわち、第1団において、プロセッサAのシ ステムパス1AとプロセッサBのシステムパス1 Bとの間には、2個の1バイトデータを並列状態 の虫虫で2段シフト可能なFIFOメモリ3が段 けられている...

このFIEOメモリ3の入力側各データボート には1パイト構成からなるラッチ4A。5Aが接 **終されており、これらのラッチ4A, 5Aにはプ** ロセッサAのアドレス空間内のアドレスが割り付 けられている。

また、FIFOメモリ3の出力側各データポー トには前様にして2個のラッチ4日、5日が接続 されており、これらのラッチ4日。5日にも向様 にして、プロセッサBのアドレス空間内のアドレ スが割り付けられている。・

部込制御園路BAは、製込側ラッチ4A、5A に対するプロセッサAからのデータ書込みおよび 世込顔ラッチ4人。5人からFIFOメモリ3九 へのデータ書込みを制卸するもので、超込例ラッ **手4A、5Aが潜标になるとともに、そのデータ** は再込ポインタフAで示されるFIFOメモリ3 内のエリアへと自動的に報込まれ、固醇にラッチ 4A. 5Aは深クリアされる。

旅出制御回路6Bは、FIFOメモリ3から統 出側ラッチ48.58に対するデータ院出しを制 切するもので、読出刺ラッチ4日、5日が空にな ると、自動的に銃出ポインタ7Bで示されるFI FOメモリ3内のエリアから、2個のバイトデー タを読出し、これを読出側ラッチ4日、5日に書 込むようになされている。

次に、以上の構成よりなるシステムの動作を、 第2A図~第2G図を容額しながら説明する。

第2 A回はリセット直接の状態を示すもので、 この状態では普込ポインタの内容と説出ポインタ の内容とは同一であり、また個込即ラッチ4 A. 5 A およで挤出側ラッチ4 B. 5 B B をれぞれ季 クリアされている。

この状態において、プロセッサル側から順次1 個ずつ1パイトデータの審込処理を行なうと、第 2日図および第2C図に示されるように、留込制 前回路6Aの作用によって、2級の1パイトデー タはラッチ4A、5Aと順次接込まれる。

第2〇回に示されるように、ブッチ4A、5A が相方起込れて重込回フッチが全て調杯となる と、電込制の図6Aの作用によって、ファナ4 A、5Aのデータは、自動的に電込ポインタ TA で示されるFIFOメモリ3内のエリアへと、第 2D回に示されるように書込まれ、そのモフッチ 4A、5Aの内容は電クリアされる。

また、在込ポインタ7Aの内容は、FIFOメ - 7 ー

与先られると、統出ポインタ7日で指定されるF IFOメモリる内のデータは、統出制制回路6日 の作用によって、統出側の2個のファチ4日、5 日へと統出され、以後これらのデータはプロセッ サ日制で統領なことができる。

このように未定数列回路では、2個の「バイト データを並列状態のままで2度にシフトさせ、ブ ロセッサム類か5プロセッサら到のと毛弦させる ことができ、この原プロセッサへ側および日前で 治容するアドレス空間は2パイトであるにも前ら ボ、バッファ空間としてはF1F0メディストよ る4パイト分を変集することができる。

そして、このバッファリング空間の大きざは、 FIFOメモリ3のシフト段数によって任意に増 加することができ、従来の共有メモリ方式のよう た、プロセッサA創またはB側のアドレス空間に よって、制度されることはなくなる。

また、2以上のデータを並列状態のままでA樹からB樹へと転送できるため、例えば2バイト株成および4バイト構成の命令等を転送する場合に、

モリ3内の次に忠込まれるべきエリアを示すこと となる。

このとき、日間の知识方式によっては、日が味 出すことのできるデータがFIFOメモリ内に準 値できたことを示す回路(割込発生回路など)を 物作させても良い。

すなわち、第2日図に示されるように、8 第で 2 個の 1 バイトデータをともに F 1 F 0 メモリ 3 から放出すことが可能であるということは、成出 側のラッチ 4 B 、5 B へ級に格納されているとい うことを意味する。

一方、第2D回の状態において、人間からさら に2種の1 バイトアータを、第2F回に示される ように、ラッチ4人、5Aへと報わむと、由込制 間間間6人では毎込間ラッチが関杯になったこと を検出し、第2回回に示されるように、新たな2 個の1 バイトデッタは、電気がインタ アムで示さ れるFIFOメモリスのロエリアへと関連され、 調料に最近間ファイム、5人は第2フリアでれる 第20回の状態において、日数から廃出得金が 第20回の状態において、日数から廃出得金

- 8 -

プロセッサの処理遊校を向上させることができる。 第3億は他の支施税を示すもので、この間では チンプがデータバス価もビット、チップのデータ パス価もピット(8/8)のマイクロブロセッサ MC6809と、チップがデータバス個もピット、 チップ内データバス個もピット(8/16)の マイクロブロセッサ(8)188を本方式により 試合したのである。

両名を括合するためのFIFOメモリとしては、 1パイト×512歳のFIFOメモリチップ(例 えば、インテグレイテッド デバイス テクノロ シー放1DT72018/L, IDT72028 / L等)を片方向について2048観景度し、そ れを数方角配にそれぞれ景度している。

従って、双方向について2048×512×2 ・ 2Mパイトの共有メモリを持つことになる。 しかも、この大容量共有メモリは、MC680 タマイクロプロセッサのアドレス空間64Kパイトとか を大衛に上回るものであるにも例らず、MC6 809のアドレス空間の中では、4Kパイトしか

. - 10 -

使用していない。

すなわち、アドレス空間の中でわずか4Kパイトを双方向のFIF09に胡当てることによって、 あたかも2Mパイトの共有パイトを持つかの如き 効果を摂ている。

第4回は、プロセッサAからプロセッサBへ参 動するFIFOメモリの制御における処理の流れ を余すフローチャートである。

この例では、逆信データの排入例に512級の キューが一杯でないことを示す「挿入可フラグ」 を設ける一方、受信データの促出側ではFIFO メモリ内に交信データ符りの場合に、FIFOメ モリからプロセッサBへ割込みが充生する回路を 設けている。

このように本実施例によれば、プロセッサAか ラブロセッサBへと大量のデータを、少ないアド レス空間の占有でしかも並列に転送することがで を、同時に逆方向の転送も行なうことができるわ けである。

4. 図面の間単な説明

第1回は本発明に成わるプロセッサ関係合方式 の一変技術を示す回窓図、第2人間~第2人間~第2人間~第2人間~第2人間~第2世界 回路的の動作を示す規制型、第3世紀本等明3社 の他の変態例を示すプローチャート、第5回かよび 第6回は従来のプロセッサ開始合方式を示すメモ リマップである。

1A、1B…システムパス

3--F[F0×モリ

4A, 5A…豊込朗ラッチ

4 B . 5 B .-- 読出限ラッチ

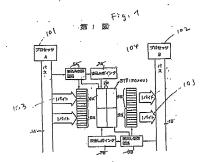
6A…森及制御回路 6B…底出制如回路

7 A … 啓込ポインタ 7 B … 読出ポインタ

7 B … 弦出ポインタ B … 別込充生回路

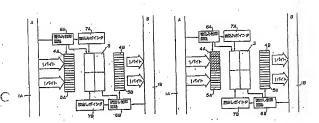
特許出版人 立石 電 後 株 式 会 社 代 迎 人 弁理士 和 田 成 則

4.0



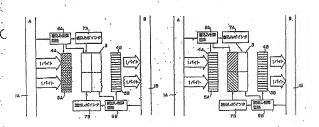
第24 図

第28 図



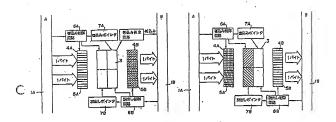
445 2 C 1871

第2 D 図

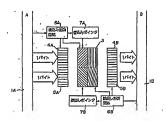


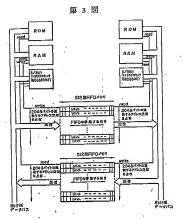
第2 医図

筬2F 図



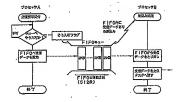
第26日





 \subset

幣 4 関







(公領報別) 1899社(第17年の2の規定による補正の陶鍵 (新門区分) 第6 第門第3 区分 (統計区) 7年 成 5年 (1984) 2月18日 (公務告号) 物部平1-44571 (公務日) 平成1年(1089) 2月16日 (平田子教) 公務時紀4日1-446 (出版条号) 韓國昭82-201105 (国際24万分規第3版) (5152-5152) 8840-51 (5152-5152) 8840-51 (5153-5153

一下海外的用工艺物

9成5年5月25日

特許厅長有殿 1. 郭孙或录

恒期1962-201105号

2. 見明の名称

プロセッサ開制合数限

3. 袖正をする岩

事件との関係 特許出願人

作 所 京都府京都市右京区花河上常町10番地

名 称 (294) オムロン株式会社 代容者 立石 毎年

4. 代 班 人 〒101

作 唐 東京都干代明区内初期1下自15条165

現光七八6階 2508(8295)[480.1908

氏名 (8948) 和聖士 和田 成明 系統

5. 採正命令の日付 (自発)

6. 補正の対象 明細音全文

7、核正の内容 明和弊令文を別紙の如く植正する。

मा ग्रह

プロセッサ間結合装置

2. 特許請求の部別

1. 税制の名称

第1のプロセッサと第2のプロセッサとの前に、 2以上のデータを連列状態のままであらかじか定 かた段数だけシフト可能なF1F0メモリを設け、

前記FIFOメモリの入力側各データポートには、前記第1のプロセッサのアドレス区間内のア

ドレスを割り付け、 前記ド 1 ドウメモリの出力間巻デークポートに は、前記第2のプロセッサのアドレス区開内のア

は、前記第2のプロセッサのアドレス区間内のア ドレスを割り付け、 前記FIFのメモリ内に保持されたデータモシ

フトさせることにより、第1のプロセッサから第 2のプロセッサへと2以上のデータを強列かっ非 回別に転送することを特徴とする。

プロセッサ間約合装費。 3. 発明の詳細な説明

3. 25900FMIAN (発明の分野) この知明は、マルケプロセッサシステムに好適 なプロセッサ間結合装置に関する。

(従来技術とその問題点)

従来、マルチプロセッサシステム等においてプ ロセッサ間を結合するには、第5関に示されるよ うに、我们メモリを開いて、周一の大きさのアド レス空間を複数のプロセッサで具有する方法が一 絞りである。

しかしながら、この最近内村メーリを担用する 場合にあっては、大乗のデータを内容する必要が ある場合には、尺付メモリや関係が、環境せわけ なるす、その結集的ガメモリや関ル外に使用可能 なで関かがない接続できない。人方のプラセ ッサカ大行メモリをアラセス中のと名には、他方 のプロセッサは大行メモリをアラセスでなない。 、一次パメモリや関係として保険できる最大関ルは、 プロセッサがアドレスできる原用は、プロセッサがアドレスできる原用は、 プロセッサがアドレスできる原用は、プロセッサがアドレスできる原用は、 プロセッサがアドレスできる原用は、プロセッサがアドレスできる原用は、

また、第6回に示されるように、共行メモリ内 において、待ち行列処理が表型な場合には、許ち 行列機関の主めの数核なリットウェアが必要となった。 一方のプロセッサは合ち行列処理から の、他方のプロセッサはその移ち行列にアッセス できないこと、特ち行列処理を行なったとしても、 一度にシート可能なデータ数は1億に現られるだ ル 処理の高速化に結婚を受けることなどの同道 点があった。

(新朋の目的)

この表別の目的は、大電のデータを決有する必要がある場合にも、共有アドレスで開かかなく 許み、また物を行列表図のために複雑なソフトウ エアが不要であり、また実有アドレスを開止対し で相方のプロセッテが同時にプラモスを行なりる。 とかでき、ちらに投資のデータの程を何ーテイ ミングで行い得るようにしたプロセッサ期給合数 液を振行することにある。 (金別の用度とが知)

この勢明は上記の目的を達成するために、第1 のプロセッサと第2のプロセッサとの間にFIF 〇メモリを設け、FIFOメモリ内に保持された

ゲークをシフトさせることによって、第1のプロ セッサから第2のプロセッサへと2以上のデータ 全裁列かつ非国別に転送することを特徴とするも のである。

このような解析によれば、大色のテークを入行 する経済がある場合にも、共行アドレス流動か なくて弱み。また物を行列処理のために投資なソ フトウェアが不要であり、また実行アドレス党型 に対して相方のアロセッサが明明にアケセスを行 なうことができ、さらに重数のデータの仮念を同 ータイレングで行い得るという効果がある。 (実施的の影響)

第1関は、本地別に係わるプロセッサ副結合校 版の一実統例を示す回結例、第2人間~第2G関 はその動作説別関である。

この例では、プロセッサAからプロセッサBに 対し、2個の1パイトデータをFIFOメモリ3 を介してを送するようにしている。

すなわち、第1回において、プロセッサAのシステムバス1AとプロセッサBのシステムバス1

Bとの時には、2個の1パイトデータを並列状態 のままで2股シフト可能なドリドのメモリ3が数 けられている。

このド「FOメモリ3の人力割名データボート には1パイト環境からなるラッティA、5Aが接 まされており、これらのテッチィA、5Aにはプ ロセッサAのアドレス空間内のアドレスが割り付 けられている。

また、P 1 F 0 メモリ 3 の出力値終データポー トには同様にして2 側のラッチ 4 B. 5 B が 収 k されており、これらのラッチ 4 B. 5 B にも同様 にして、プロセッサB のアドレス空間内のアドレ スが付け付けられている。

円込明直閉られは、常込明ラッチをA、5A に対するプロセッタルからのデータ形込みまだ。 育込期ラッタ4A、5AからFIFO(4号)3内 へのデータ市込みを付飾するもので、许込明ラッ チ4A、5Aが開下になるとともに、そのデータ は特込ポインタアAで原されるFIFOメモリ3 内のエリアー公日前的に作出され、同時にラッチ 4A, 5Aは零クリアされる。

統地制砂回路6 Bは、F1FOメモリ3から設 山間ラッチ4 B、5 Bに以するデータ設計した制 明かるもので、就出制ラッチ4 B、5 Bが欠比な ると、自動的に致加ポインタ7 Bで示されるF1 FOメモリ3内のエリアから、2個のパイトデー 夕を発出し、これを認識ラッチ4 B、5 Bに存 おむようになされている。

次に、以上の関係よりなるシステムの動作を、 第24回で許20回を倉屋しながら返明する。 第24回じゃト放送の状態を示すらので、 この状態では青込ポインクの内容と路山ポインタ の特定とは同一であり、また南込耐ラッチをA、 5 Aおよび途出動ラッチ4 B、5 Bはそれぞれ零 タリアがれている。

この状態において、プロセッサル領から層次1 仮すつ1パイトゲークの責込処理を行なうと、第 2 日間および第2 C関に示されように、改立 角面路6 Aの作用によって、2 端の1パイトゲー タはテッテな人、5 A と端次帯込まれる。

に 2回の1パイトデータを、別2戸屋に戻るれる ように、ラッケ4A、5人へ合資込むと、附込制 脚凹路も人で出待送前ラッケが関係になったと を被出し、第20回に示されるように、新たな2 回の1パイトデータは、市込ポインタ7人で示さ れる1月の2年リラ内のエリアへを再込まれ、 同時に再送前ラッケ4A、5人はボタリアされる。

第26四の吹擦において、B前から統出扱令が けえられると、流出ポインタ7Bで排定されるP IFOスをリ3円のデータは、統直制例開落6B の作用によって、統直側の2個のラッチ4B、5 Bへと終出され、以後これらのデータはプロセッ サ 日前で表皮ることができる。

このように本実施制理格では、2個の1パイトデータを地別状態のままで20度にジフトさせ、プロセッサル側が5プロセッサ目倒へと転送をせることができ、この数プロセッサル解除よび日助す。行かってアン実別としては2パイトであるにも拘らず、パッファ実別としてはア1ドウイギーが多くなができる。

図なり限に乗されるように、ラッチ4人、5人 の相点 育込まれて非心制ラッチが全て資本となると、明込結婚問題も4の市即によって、ラッチ4人、5人のデータは、日頭的に専込ポインタ7人で弄されるド IPO/モリラ的のエリアへと、毎2別即に戻されるようと卑込され、その後ラッチ4人、5人の内容は乗りすですれる。

また、宵込ポインタ7Aの内容は、FIFOメ モリ3内の次に背込まれるべきエリアを示すこと となる。

このとき、B朝のデータ処理方法によっては、 Bが読出すことのできるデータがFIFOメモリ 内に準確できたことを示す回路(お込発集興路な と)を整作させてもない。

すなわち、第2B買に示されるように、B側で 2個の1パイトデータをともにF1POメモリ3 から取出すことが可能であるということは、統計 前のラッチ4 B、58へ版に格納されているとい うことを温度する。

一方、第2D図の状態において、A側からさら

ド I F O メキリ 3の シアト 医院によって世生に対 場合のように、プロセッサ A 間まは自身のアド レスで同によって、制限されることはなくなる。 また、2 足 1の データを刑状にのませて A 間 水 から F 和 で 上 を と かい から F 和 で と な と かい から F 和 で と を かい 列 と アイト 精 成および 4 パイト 智 成の命令 で を 松 辺 す な から た に

そして、このパッファリング空間の大きさは、

プロセッチの処理返を削しませることができる。 第3 南は他の実施両を示するので、この両では テップ外データバス艦8ピット、テップリラータ バス橋8ピット (8/8) のマイタロブロセッツ が68909と、テップ外アータバス橋8ピット、 テップ内データバス橋16ピット (8/16) マイタロブロセッサ180188本外列の実施 圧乱とおびたりとものである。

両者を結合するためのFIFOメモリとしては、 1パイト×512改のFIFOメモリチップ(例 えば、インテグレイテッド デバイス テクノロ ジー社IDT72018/L. JDT72028 /L等)を片方向について2048複数散し、それを双方向用にそれぞれ致硬している。 使って、双方向について2048×512×2

- 2Mパイトの水付メモリを持つことになる。 しかも、この水電流付メモリは、MC680 マイタロプロセッサのアドレス関係なイバイ・ トモ人様に上回るものであるにも拘らず、MC6 809のアドレス空間の中では、4Kパイトしか が用していない。

すなわち、アドレス恋婦の小でわずかくKパイトを収力向のF1F09に利当てることによって、 あたかも2Mパイトの共有パイトを持つかの如き 効果を得ている。

この例では、送信データの挿入側に5122の キューが一杯でないことを示す「挿入可フラグ」 を設ける一方、受信データの取山側ではF1FU メモリ内に受信データ行りの場合に、F1FOメ モリからプロセッサBへ附込みが発生する値路を 受けている。

このように本実施判によれば、プロセッサAからプロセッサ8へと大阪のデータを、少ないアドレスや間の占有でしかも戦別に転送することができる。 同時に進方向の転送も行なうことができるわけである。

4、 四面の簡単な説明

第1即は本場明に関わるプロセッサ開始の意外 の一気海町を示す回路両、第2 A 図~第2 G 環は 阿国路の野化を示す短期限、第3 図は水界町の総 の実施例を示す短點両、第4 同は同次地質の必受 信制取を示すフローチャート、第5 四数まび前ら 関は実来のプロセッサ店のの方法を示すメモリマ ップである。

1 A. 1 B…システムパス 3…F I F O メモリ

4 A . 5 A … 許込削ラッチ 4 B . 5 B … 統山削ラッチ 6 A … 普込制御屋路

6 B … 旅出制御回路 7 A … 中込ポインタ 7 B … 城山ポインタ 8 … 割込効生回路

特許出顧人 オムロン株式会社 代 班 人 和 川 成 則